

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354705
 (43)Date of publication of application : 24.12.1999

(51)Int.Cl. H01L 23/50

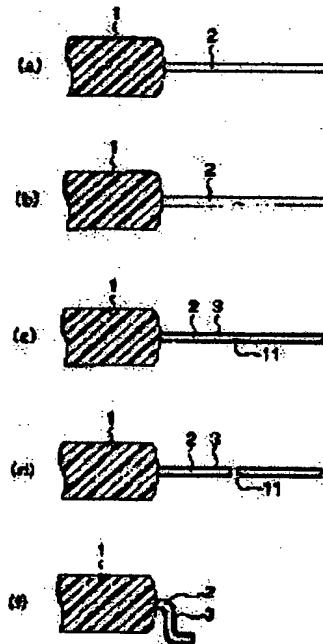
(21)Application number : 10-155950 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 04.06.1998 (72)Inventor : SUGIHARA KOICHI
 MIYASHITA KOICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which has an enough formed front fillet, high connection strength to substrate electrodes and high connection reliability and facilitates the appearance inspection.

SOLUTION: In a semiconductor device having an outer lead 2 which extends to outside from a package 1 sealing a semiconductor chip and is connected to the semiconductor chip, at least a part of the section of the lead 2 at its top is coated with a material for improving the solderability. The manufacturing method thereof comprises, in a semiconductor device having e.g. a gull wing-like or straight outer lead 2, a recess 11 is formed at a cutting position of the outer lead 2, coating a material for improving the solderability and cutting the outer lead 2 off at the recessed part.



LEGAL STATUS

[Date of request for examination] 09.07.2001

[Date of sending the examiner's decision of rejection] 08.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-354705

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.⁶

H 0 1 L 23/50

識別記号

F I

H 0 1 L 23/50

D

E

審査請求 未請求 請求項の数11 O L (全 10 頁)

(21)出願番号

特願平10-155950

(22)出願日

平成10年(1998)6月4日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 杉原 功一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72)発明者 宮下 浩一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

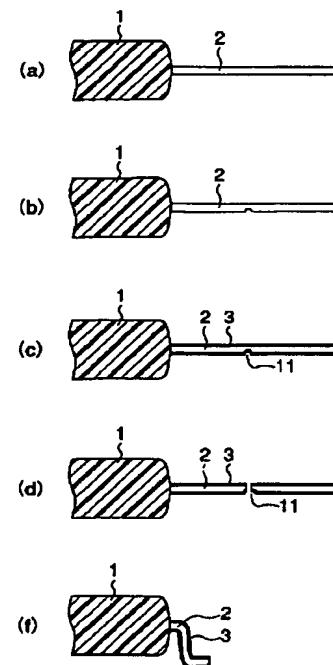
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】

【課題】 実装基板に半導体装置をはんだ付けしたとき、アウターリード(2)の先端部にはんだフィレットが十分形成されないという問題があった。

【解決手段】 半導体チップを封止するパッケージ
(1)から外部に延伸し、半導体チップと接続されているアウターリード(2)を有する半導体装置において、前記アウターリードの先端の断面の少なくとも一部がはんだ付け性を向上する材料でコーティングされていることを特徴とする半導体装置である。その製造方法は、例えばガルウング形状あるいはストレート形状のアウターリード(2)を有する半導体装置において、アウターリードを切断する位置に窪み(11)を形成し、はんだ付け性を向上する材料でコーティングした後、窪みの部分でアウターリード(2)を切断する。



【特許請求の範囲】

【請求項1】半導体チップを封止するパッケージから外部に延伸し、パッケージ内で半導体チップと接続されているアウターリードを有する半導体装置において、前記アウターリードの先端の断面の一部がはんだ付け性向上する材料で被膜されていることを特徴とする半導体装置。

【請求項2】前記アウターリードの先端の断面が、前記アウターリードに対しほぼ垂直の切断面と、はんだ付け性を向上する材料でコーティングされている面により構成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】前記アウターリードの前記はんだ付け性を向上する材料でコーティングされている面が、アウターリードの根元側に引っ込む傾斜面、あるいは段付きの面であることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】前記アウターリードが、ガルウイング形状あるいはストレート形状をしていることを特徴とする請求項1から請求項3迄の何れか1項に記載の半導体装置。

【請求項5】アウターリードを有する半導体装置の製造方法において、
前記アウターリードの切り離し後に前記アウターリードの先端となる位置に窪みを形成する工程と、
前記アウターリードにはんだ付け性を向上する外装処理を行う工程と、
前記窪みの一部が前記アウターリードの先端の断面に残るように切断する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】アウターリードを有する半導体装置の製造方法において、
前記アウターリードにはんだ付け性を向上する外装処理を行う工程と、
前記アウターリードの切り離し後に前記アウターリードの先端となる位置に窪みを形成する工程と、
前記窪みの一部が前記アウターリードの先端の断面に残るように切断する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】アウターリードを有する半導体装置の製造方法において、
前記アウターリードにはんだ付け性を向上する外装処理を行う工程と、
前記アウターリードを切断する工程と、
前記アウターリードを所定の形状に成形する工程と、
前記アウターリードに窪みを形成する工程と、
前記アウターリードを前記窪みの部分で切断する工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】前記窪みがV字状、U字状または矩形状であることを特徴とする請求項5から請求項7迄の何れか

1項に記載の半導体装置の製造方法。

【請求項9】前記窪みの深さが、0.07mm以上であることを特徴とする請求項5から請求項8迄の何れか1項に記載の半導体装置の製造方法。

【請求項10】前記窪みの深さが、リード断面の35パーセント以上であることを特徴とする請求項5から請求項8迄の何れか1項に記載の半導体装置の製造方法。

【請求項11】前記アウターリードが、ガルウイング形状あるいはストレート形状のアウターリードであることを特徴とする請求項5または請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はガルウイング形状あるいはストレート形状のアウターリードを有する半導体装置のアウターリード及びその製造方法に係る。

【0002】

【従来の技術】近年、半導体装置の実装における集積密度の高密度化が進んでおり、リードを実装する際の、リードの絶縁、安定性などが求められてきている。従来より、半導体装置のアウターリードと実装基板の配線部との接続は、一般にはんだ付けによって行われている。その際、配線部表面からアウターリードに這い上がるようになされるはんだの部分をはんだフィレットと呼んでいる。

【0003】基板との接合強度すなわち接続の信頼性を上げるために、このはんだフィレットを大きく形成することが必要となる。はんだフィレットの大きさは実装基板の電極面積に依存するため、基板の電極面積は許される限り大きくすることが要求される。しかし、高密度化と多ピン化の要求の下で、隣接する電極相互のはんだによる短絡を避けるためには電極相互間の間隔も確保する必要があり、電極の形状をアウターリードの幅方向に十分大きくとることができない。このため、電極の幅はアウターリードの幅とほぼ等しく設計され、主にアウターリードの長さ方向に必要とするはんだフィレットが形成されるように、十分な余裕を持って設計されるのが一般的である。

【0004】以上の理由により、アウターリードのはんだ付けされる部分の側面にあたる部分は、実装基板の電極の方に余裕がないためはんだフィレットは形成されず、ガルウイング形状のアウターリードを有する半導体装置であるQFP(Quad Flat Package)やSOP(Small Outline Package)等においては、そのアウターリードはんだ付け部のリード先端側とリード根本側の2カ所のみにはんだフィレットが形成されることとなる。通常、リード先端側のはんだフィレットをフロントフィレットと、リード根本側のフィレットをバックフィレットと呼ぶ。

【0005】従来の技術を図17から図30を用いて説

明する。図17から図25までは、従来のQFP、SOPの製造プロセスの第1の例である。図17に示すように、樹脂モールド後の半導体パッケージ101には横方向に延びるアウターリード102が配置され、リードフレームの外枠(図示せず)と接続されている。

【0006】次に図18に示すように、前記アウターリード102の表面に例えば電気メッキなどの手段を用いてはんだメッキ103を施す。次に図19に示すように、アウターリード102の先端をカットしフレーム外枠から切り離す。さらに図20に示すように、ポンチなどの手段を用いてリード曲げを行いアウターリードの成形が完了する。

【0007】次に図21から図25までは、従来のQFP、SOPの製造プロセスの第2の例である。図17と同様に、図21に示すように、半導体パッケージ101にアウターリード102が設置されている。

【0008】次に図22に示すように、前記アウターリード102に表面に電気メッキなどの手段を用いてはんだメッキ103を施す。次に、図23に示すように、長めに形成されたリードの予備部分をパッケージ側に残して切断しフレーム外枠から切り離す。リードの切断は通常カットポンチを下降させアウターリードに対する剪断応力により行う。次に図24に示すようにリード曲げを行い、最後に図25に示すように、リードの先端を再度切断する。

【0009】このようにして形成された従来のQFPまたはSOPのアウターリード102の先端部は、図26に示すように、その全面がリード先端のカット工程において形成される切断面である。アウターリード102のはんだ付け性を向上するための外装処理の代表的な方法は、フレームを介して通電するはんだの電気メッキであるが、アウターリードにはんだメッキを行うためにはアウターリードがリードフレームと電気的に接続した状態でなければ不可能である。従って、はんだメッキはアウターリードの先端カットより前に行うより他に方法がなかった。従って、図26に示すように、従来のQFP、SOPのアウターリード102の先端面にははんだメッキ103が付けられなかった。このため、かかるアウターリードを基板にはんだ付けした場合は、アウターリード切断部の破断面にははんだがほとんど這い上がらないため、図27に示すようにフロントフィレット104はせいぜいアウターリード厚の半分程度の高さまでしか形成されないという問題があった。

【0010】なお上記リードの切断はリード先端を切断する場合において、切断面の下部に生ずるカットバリを実装面に出さないように切断方向を選んだ場合であり、逆方向にカットした場合はフロントフィレット104は全く形成されない。

【0011】アウターリード厚の半分以下の小さなはんだフィレットでは十分な接合強度を得られないため、從

来のQFP、SOPでは基板との接合強度のほとんどをバックフィレット104'のみに依存していた。しかしながら温度サイクル試験等により複雑な応力がかかる半導体装置においては、バックフィレット104'のみの接合強度で十分な信頼性を得るのは困難であった。

【0012】また実装後に十分なはんだフィレットが形成されるような所定のはんだ付けが行われたかどうかを確認する外観検査は、一般に実装基板の鉛直上方からの顕微鏡観察等により行われるが、鉛直方向からはアウターリード102の陰になってバックフィレット104'は観察できないため、フロントフィレット104の形成状態を検査して判断する方法が取られている。しかし、従来のQFP、SOPは図27に示すようにフロントフィレット104の形成が小さいために、検査し難く作業に時間がかかっていた。

【0013】図28に示すように、ストレート形状のアウターリードを有するパッケージの一つにSON(Small Outline Non Leaded Package)がある。SONではその構造上の特徴のために、図29に示すようにバックフィレット104'は形成されない。しかも、前述のQFPまたはSOPと同じ理由で、リード先端部へのフロントフィレット104の形成も十分でない。このようにバックフィレットの形成されないSONにおいては、フロントフィレット104の形成不足がそのまま基板との接合強度の不足となるため、従来SON構造は高い信頼性を要求される半導体製品には使用できなかった。

【0014】またSON構造はQFP、SOPに比べて元々はんだフィレットの形成量が少ないため、特にフロントフィレット104の形成が小さい場合にはあらかじめ基板の電極上に塗布されたはんだペーストが余剰状態になり、隣接する電極と短絡するという問題も発生していた。

【0015】

【発明が解決しようとする課題】電子装置の小型化、軽量化への強い要求の下で、半導体装置の実装密度の高度化が進んでおり、これに伴い微小化されたアウターリードを実装する際のリード相互の絶縁性及び実装基板とアウターリードとのはんだ付けの工程の安定性及び高信頼性が求められてきている。

【0016】従来、半導体装置のアウターリードと実装基板の電極の接続ははんだリフロー等によって行われている。その際、アウターリードの側面に這い上がるようになされるはんだフィレットの接続信頼性を向上させるためには、アウターリードに対する実装基板の電極の面積を大きくし、はんだフィレットの量を大きくする必要があるが、高密度化に伴いアウターリード実装部の側面にあたる部分は、実装基板の電極の余裕がないためはんだフィレットは形成されず、ガルウイング形状のアウターリードを有する半導体装置のQFP、SOPにおいては、そのアウターリード実装部のリード先端側とリード

ド根本側の2カ所のみにはんだフィレットを形成することとなる。しかし、従来のQFP、SOPのリード先端側ははんだ濡れ性を良くする電気メッキによるはんだ層の形成がされず機械的切断面が露出しているためフロントフィレットの形成が十分でなかった。

【0017】使用環境温度の変化や使用時の加熱などにより複雑な応力がかかる電子装置において、半導体装置と基板との機械的及び電気的接続に関し、バックフィレットのみでこれらの接合強度の信頼性を得るのは困難であり、また、実装後に所定のはんだ付けが行われたかどうかを確認する外観検査では、フロントフィレットの形成が小さいために検査しづらく作業に時間がかかっていた。

【0018】本発明の目的は、フロントフィレットが十分に形成され、基板電極との接続強度が大きく、接続に対する信頼性が高く、外観検査も容易な半導体装置を提供することにある。

【0019】

【課題を解決するための手段】本発明による半導体装置は、半導体チップを封止するパッケージから外部に延伸し、パッケージ内で半導体チップと接続されているアウターリードを有する半導体装置において、前記アウターリードの先端の断面の少なくとも一部がはんだ付け性向上する材料でコーティングされていることを特徴とする半導体装置である。

【0020】さらに、前記アウターリードの先端の断面が、前記アウターリードに対しほぼ垂直の切断面とはんだ付け性向上する材料でコーティングされている面により構成していることを特徴とする半導体装置であり、前記アウターリードの前記はんだ付け性向上する材料でコーティングされている面が、アウターリードの根元側に引っ込む傾斜面あるいは段付きの面であることを特徴とする半導体装置であり、前記アウターリードが、ガルウイング形状あるいはストレート形状をしていることを特徴とする半導体装置である。

【0021】本発明によるアウターリードを有する半導体装置の製造方法は、前記アウターリードの切り離し後に前記アウターリードの先端となる位置に窪みを形成する工程と、前記アウターリードにはんだ付け性向上する外装処理を行う工程と、前記窪みの一部が前記アウターリードの先端の断面に残るように切断する工程とを有することを特徴とする半導体装置の製造方法である。

【0022】また、本発明によるアウターリードを有する半導体装置の製造方法は、前記アウターリードにはんだ付け性向上する外装処理を行う工程と、前記アウターリードの切り離し後に前記アウターリードの先端となる位置に窪みを形成する工程と、前記窪みの一部が前記アウターリードの先端の断面に残るように切断する工程とを有することを特徴とする半導体装置の製造方法である。

【0023】また、本発明によるアウターリードを有する半導体装置の製造方法は、前記アウターリードにはんだ付け性向上する外装処理を行う工程と、前記アウターリードを切断する工程と、前記アウターリードを所定の形状に成形する工程と、前記アウターリードに窪みを形成する工程と、前記アウターリードを前記窪みの部分で切断する工程とを有することを特徴とする半導体装置の製造方法である。さらに、前記窪みがV字状、U字状または矩形状であることを特徴とする半導体装置の製造方法であり、前記アウターリードが、ガルウイング形状あるいはストレート形状のアウターリードであり、前記窪みの深さが、0.07mm以上であるものであり、前記窪みの深さが、リード断面の35パーセント以上であるものであり、前記アウターリードが、ガルウイング形状あるいはストレート形状のアウターリードである半導体装置の製造方法である。

【0024】

【発明の実施の形態】本発明は以下の実施の形態を図面をもって説明するが、本発明はここで説明する実施の形態に限定されるものではない。下記実施の形態は多様に変化することができる。

【0025】本発明の実施の形態である半導体装置の外部リードの成形工程を以下に図面を用いて説明する。まず、本発明の第1の実施形態を図1を用いて説明する。図1(a)に示すように、例えば通常のプラスチックなどを用いた樹脂モールド工程により半導体パッケージ1の横方向にリードフレームの外枠(図示せず)と接続されているアウターリード2が配置されている構造が形成される。なお、パッケージ1は合成樹脂によるモールド構造に限定されるものではなく、セラミック部材のパッケージなどであっても良い。半導体パッケージ1内には半導体チップが配置されその表面に形成されたボンディングパッドが、アウターリード2からパッケージ1の内部に延伸するインナーリードと、例えばワイヤボンディング等により接続されている(図示せず)。アウターリード2のリードの厚さは通常0.125~0.4mm程度であり、材料としてはCuをベースにした合金、あるいは42アロイなどが使用できる。

【0026】次に図1(b)に示すように、アウターリード2にコイニングなどの手段を用いて、窪み11を形成する。このときの窪み11の形状は本発明を特に制限するものではないが、例えばV字型やU字型または矩形状などの形状とすることができます。窪み11はリードの下、又は上下双方に形成しても良いが、図1(c)は下側に形成した例である。また、窪み11を形成する手段としては、コイニングなどの機械加工による方法でもエッチングなどによる化学加工の方法でも良い。

【0027】次に図1(c)に示すようにアウターリード2に電気メッキを行う。例えば、N:下地パラジウムメッキ、SnPb、SnAg、SnBi、SnZn等

のはんだメッキ等である。さらに、N_i下地の上にPb、次にAuを重ねた3層メッキも用いられる。厚さは特に限定しないが10±5μ程度が望ましい。また、パラジウムメッキなども挙げられる。

【0028】次に、図1(d)に示すように、アウターリード2に窪み11が形成された部分がリードの先端となるようにアウターリード2を切断する。その後、図1(e)に示すようにリード曲げを行い成形する。アウターリード先端部のはんだ材によるコーティング面は、V字型の窪み11を形成した場合はアウターリードの根元側に引っ込む傾斜面となり、矩形状の窪み11を形成した場合は段付きの面となる。

【0029】なお、アウターリード2に窪み11を形成する工程及びはんだメッキを行う工程は、特に上記樹脂モールド後(図1(a)の状態)に限定されるものではなく、以下に記載する他の実施の態様で示す工程により、または、他えば半導体チップのマウント前の工程において行われても良い。

【0030】かかる工程により、半導体チップを封止する封止樹脂1から外部に延伸し、半導体チップと封止樹脂内で電気的に接続されているアウターリード2の先端の切断面の少なくとも一部が、はんだ付け性を向上する材料であるはんだメッキ層3によりコーティングされる構造が得られる。本発明の第1の実施の形態を用いることにより、半導体装置の基板実装時のはんだ付け性が向上し、実装基板上の配線電極及びアウターリード上に、はんだフィレットがフロント及びバックともに十分に形成され電気的及び機械的接続の信頼性が向上する。

【0031】次に本発明の第2の実施の形態について、図2を用いて説明する。図2(a)に示すように、半導体パッケージ1にアウターリード2が配置されている。次に図2(b)に示すように、アウターリード2にコイニングなどの手段を用いて窪み11を形成する。このときの窪み11はその形状を問わず、例えば、V字型やU字型など様々な形状を選択することができ、その形状を特に限定するものではない。

【0032】次に、図2(c)に示すように、アウターリード2の表面に例えばパラジウムメッキやはんだメッキ3などを施す。次に、図2(d)に示すように、アウターリード2の窪み11が形成された部分より少し先端の部分でアウターリードを切断する。その後、図2(e)に示すようにリード曲げを行いリードを成形する。最後に図2(f)に示すように、窪み11の部分がリードの先端となるようにリードカットを行う。なお、上記の方法で用いたはんだメッキやパラジウムメッキ以外の材質を用いることができ、はんだ付け性を向上させる他の材料であって良い。窪み11を形成する手段としては、コイニングなどの機械加工による方法でも、エッチングなどによる化学加工の方法でも構わない。以上、本発明の第2の実施の形態を用いることにより、基板へ

の実装時のはんだリフロー工程におけるはんだ付け性が向上し、はんだフィレットがアウターリードのフロント及びバック部ともに十分に形成され信頼性の向上を図ることができる。また、2回の切断工程を採用することにより、設計上の切断位置の決定に柔軟性をもたらし、成形後の機械的精度をより向上させることができる。

【0033】次に本発明の第3の実施の形態について、図3を用いて説明する。図3(a)に示すように、通常の半導体製造方法により半導体パッケージ1とアウターリード2を有する構成が準備される。次に図3(b)に示すように、アウターリード2に例えばパラジウムメッキなどのはんだメッキ3を電気メッキにより施す。続いて、図3(c)に示すように、アウターリード2にコイニングなどの方法を用いて、窪み11を形成する。このときの窪み11の形状は、例えばV字型やU字型など様々な形状とることができ、その形状を特に限定するものではない。次に、図3(d)に示すように、窪み11の部分でリードの先端を切断する。その後、図3(e)に示すようにリード曲げを行いリードを成形する。第1及び第2の実施の態様との相違は、アウターリード2表面のはんだメッキ後に窪み11を形成する点にある。以上、本発明の第3の実施の形態を用いることにより、実装時のはんだ付け性が向上し、はんだ付けの信頼性が向上する。

【0034】次に本発明の第4の実施の形態について、図4を用いて説明する。通常の半導体アッセンブリ工程により、図4(a)に示すように半導体パッケージ1にアウターリード2が配置された構造が準備される。次に図4(b)に示すように、アウターリード2に例えばパラジウムメッキなどのはんだメッキ3を施す。次に図4(c)に示すように、アウターリード2にコイニングなどの手段を用いて窪み11を形成する。このときの窪み11の形状は、例えばV字型やU字型など様々な形状とでき、形状が限定されるものではない。次に、図4(d)に示すように、窪み11の形成された部分よりも先端の部分でアウターリード2を切断する。その後、図4(e)に示すようにリード曲げを行いリードを成形する。最後に図4(f)に示すように、窪み11の形成された部分でアウターリード2を切断する。以上、本発明の第4の実施の形態を用いることにより、アウターリードのはんだ付け性が向上し、実装基板上の基板電極の上にはんだフィレットが十分に形成され信頼性が向上する。また、カット位置を柔軟に決めることができその精度も向上させることができる。

【0035】次に本発明の第5の実施の形態について、図5を用いて説明する。図5(a)に示すように、通常の半導体アッセンブリ工程を用いて半導体パッケージ1とアウターリード2が配置された構造が準備される。次に図5(b)に示すように、アウターリード2に例えばパラジウムメッキなどのはんだメッキ3を施す。次に、

図5(c)に示すように、最終のリード長さより長くアウターリード2を予備カットする。次に、図5(d)に示すようにリード曲げを行い成形する。その後、図5(e)に示すように、アウターリード2にコイニングなどの手段を用いて窪み11を形成する。このときの窪み11の形状はV字型やU字型など様々な形状を選択することができる。最後に、図5(f)に示すように、窪み11の形成された部分でリードを切断する。窪み11の形成方法は、例えばコイニングなどの機械加工による方法などを用いることができる。第1～第4の実施の形態との相違はガルウイング形状にアウターリードを成形した後に窪み11を形成する点にある。なお、アウターリード2の切断方向を特に限定するものではないが、本発明の効果を十分に得るためにには、リード先端の切断工程においてカットバリをリード実装面側に出さないように切断方向を選択することが望ましい。

【0036】以上、本発明の第5の実施の形態を用いることにより、はんだ付け性が向上し、はんだフィレットがアウターリードのフロント及びバックともに十分に形成され、信頼性が向上する。

【0037】本発明の半導体装置の製造方法で作られたリードは、図6のAに示すように、カット断面の下半分に、はんだメッキ層が形成されている。このため、リードを配線基板にはんだ付けすると、図7に示すようにフロントフィレット4、バックフィレット4'共にはんだ付けの信頼性が確保できるよう高い這い上がりで十分の大きさに形成することができる。

【0038】図8は、本発明に係る、SON型パッケージ1にはんだメッキ3が形成されたアウターリード2が配置されている構成を示しており、図9は上記SON型半導体装置の基板へのはんだ付け状態を示している。SONはその構造上バックフィレットが形成されないため、フロントフィレット4のみに物理的な接続安定性が依存する。本発明を採用したSON型パッケージにおいてはフロントフィレット4が必要な高さを有して形成されるため、従来のSON型半導体装置に比べ、格段に信頼性が向上し十分に実用に耐え得るものになっている。

【0039】次に、本発明を実施する上においてのコイニング工程について説明する。図10に示すように、例えばコイニングポンチ7を用いてコイニングを行う。コイニングのプレス荷重は例えば7000～8000Nである。アウターリードを有するフレーム材質として、例えばニッケル42%、鉄58%の合金である42アロイの使用が可能であり、リードの厚さは0.125～0.15mm、はんだメッキ厚は片側で0.01mmとすることができる。

【0040】図10に示すように、ダイ8上に、モールド樹脂9により封止されリード2が配置されている半導体パッケージを載せ、コイニングポンチ7でコイニングを行う。

【0041】図11はアウターリード先端の切断工程を示す。図11に示すようにダイ8とストリッパ10により固定されたアウターリードの窪み11の部分に先端カット用ポンチ12が降下し、ダイ8及びストリッパ10により固定されているリード2を窪み11の部分で切断する。

【0042】図12から図16は、厚さ0.20mmのリードを用いコイニング量を変えてコイニングを行つたときの、リードの断面を示す。図12に示すように、コイニング量0.07mmのときの断面図では、窪み11がリード断面の中央部まで到達していない。図13に示すように、コイニング量0.10mmのときの断面図では、窪み11が断面中央付近まで到達している。そして図14に示すように、コイニング量0.12mmのときの断面図では、窪み11が断面中央付近を超える。かかるリードをはんだメッキ処理し窪み11の部分で切断した後、実装基板にはんだ付けした場合にははんだフィレットの這い上がり状態を図15及び図16に示す。なお、図15及び図16は、図12～図14とは上下は逆の状態で示されている。

【0043】図15(a)に示すように、コイニング量が0.10mmのとき(図13参照)のリードの切り口の断面のはんだ付着状態は、はんだフィレットがリード厚の約半分以上に這い上がる。図15(b)にリードのカット部の断面とはんだフィレットの這い上がり状態を示す。はんだフィレットがリード厚の約半分以上に這い上がれば、はんだフィレットの量としては十分である。そして、図16(a)に示すように、コイニング量が0.10mmの場合は、はんだフィレットが、リード厚の9割ほどに這い上がる。図16(b)にリードのカット部の断面とはんだフィレットの這い上がり状態を示す。なお、コイニング量0.12mmの場合(図14参照)は、はんだフィレットがリード厚の高さとほぼ同程度まで這い上がるのがわかった。

【0044】コイニング量を大きくすることがはんだフィレットの這い上がりを大きくし望ましいが、コイニング量を過剰に大きくすることは、下記の点から注意しなければならない。

【0045】(1) リードが断裂してしまう。少なくとも実施の形態としてはできなくなる。

(2) また全実施の形態において、コイニングが起きやすく、またコイニング部でのリードの伸びがフレーム変形を引き起こしてしまう。

【0046】また、少なくともコイニング量が0.07mm(リードの厚さの35%)以上であれば効果を得られるが、十分な効果を得たいのであれば、0.10mm(リードの厚さの50%)以上が望ましい。以上のように、適正な量のはんだフィレットが形成されることがわかった。

【0047】以上のように、本発明を用いることによ

り、基板実装においてのアウターリード部に十分な大きさのはんだフィレットが形成されるようになり、リードの接合強度が増し、従来はなんだフィレットが十分形成されないことで使用が限定されていたSONなどのパッケージも普通に使用できるように信頼性が向上した。

【0048】

【発明の効果】基板実装においてのアウターリード部に十分な大きさのはんだフィレットが形成されるようになり、リードの接合強度が増し、従来はなんだフィレットが十分形成されないことで、使用が限定されていたSON型などのパッケージにも適用できるようになった。また十分なはんだフィレットが形成されるため、余剰はんだによる配線相互の短絡が防止できるようになった。また、はんだ付け後の検査が容易になり、検査能率と検査精度の向上を図ることができた。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るQFP、SOPを用いた製造プロセスを示す半導体装置の工程図。

【図2】本発明の第2の実施形態に係るQFP、SOPを用いた製造プロセスを示す半導体装置の工程図。

【図3】本発明の第3の実施形態に係るQFP、SOPを用いた製造プロセスを示す半導体装置の工程図。

【図4】本発明の第4の実施形態に係るQFP、SOPを用いた製造プロセスを示す半導体装置の工程図。

【図5】本発明の第5の実施形態に係るQFP、SOPを用いた製造プロセスを示す半導体装置の工程図。

【図6】本発明の実施形態に係るQFP、SOPの半導体装置の断面図。

【図7】本発明の実施形態に係るQFP、SOPの半導体装置の基板実装状態を示す断面図。

【図8】本発明の実施形態に係るSONの半導体装置の断面図。

【図9】本発明の実施形態に係るSONの半導体装置の基板実装状態を示す断面図。

【図10】本発明の実施形態に係る半導体装置のコイニング工程を示す断面図。

【図11】本発明の実施形態に係る半導体装置のリード先端カットの工程を示す断面図。

【図12】本発明の実施形態に係る半導体装置のコイニング量0.07mmの場合のリード形成を表す断面図。

【図13】本発明の実施形態に係る半導体装置のコイニング量0.10mmの場合のリード形成を表す断面図。

【図14】本発明の実施形態に係る半導体装置のコイニング量0.12mmの場合のリード形成を表す断面図。

【図15】本発明の実施形態に係る半導体装置のコイニング量0.07mmの場合のリードの断面図。

【図16】本発明の実施形態に係る半導体装置のコイニング量0.10mmの場合のリードの断面図。

【図17】従来の技術に係るQFP、SOPを用いた製造プロセスの一例を示す半導体装置の工程図。

【図18】従来の技術に係るQFP、SOPを用いた製造プロセスの一例を示す半導体装置の工程図。

【図19】従来の技術に係るQFP、SOPを用いた製造プロセスの一例を示す半導体装置の工程図。

【図20】従来の技術に係るQFP、SOPを用いた製造プロセスの一例を示す半導体装置の工程図。

【図21】従来の技術に係るQFP、SOPを用いた製造プロセスの一例を示す半導体装置の工程図。

【図22】従来の技術に係るQFP、SOPを用いた製造プロセスの一例を示す半導体装置の工程図。

【図23】従来の技術に係るQFP、SOPを用いた製造プロセスの一例を示す半導体装置の工程図。

【図24】従来の技術に係るQFP、SOPを用いた製造プロセスの一例を示す半導体装置の工程図。

【図25】従来の技術に係るQFP、SOPを用いた製造プロセスの一例を示す半導体装置の工程図。

【図26】従来の技術に係るQFP、SOPの断面図。

【図27】従来の技術に係るQFP、SOPの基板実装状態を示す断面図。

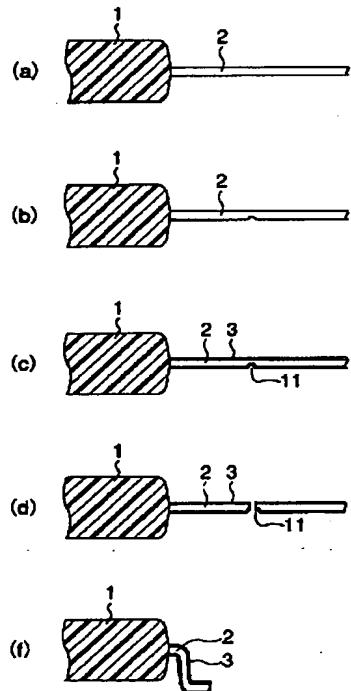
【図28】従来の技術に係るSONの断面図。

【図29】従来の技術に係るSONの基板実装状態を示す断面図。

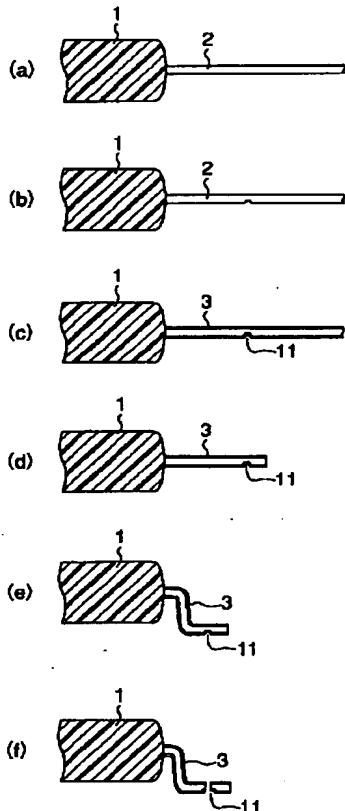
【符号の説明】

- 30 1、101…半導体パッケージ
- 2、102…アウターリード
- 3、103…はんだメッキ
- 4、104…はんだフィレット（フロントフィレット）
- 4'、104'…はんだフィレット（バックフィレット）
- 5、105…基板電極
- 6、106…実装基板
- 7…コイニングポンチ
- 8…ダイ
- 40 9…モールド樹脂
- 10…ストリッパ
- 11…窪み
- A…リード切断端

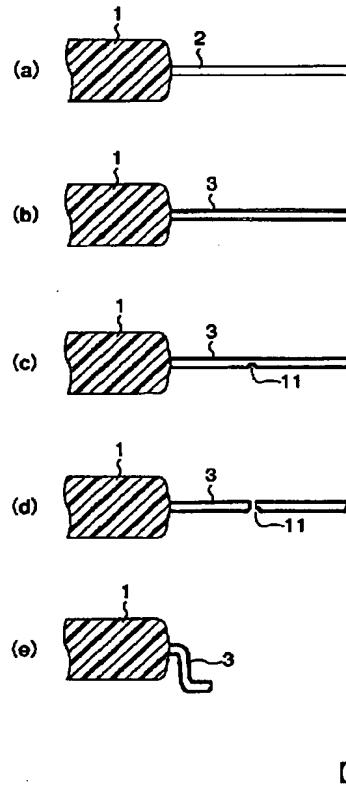
【図1】



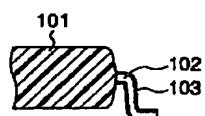
【図2】



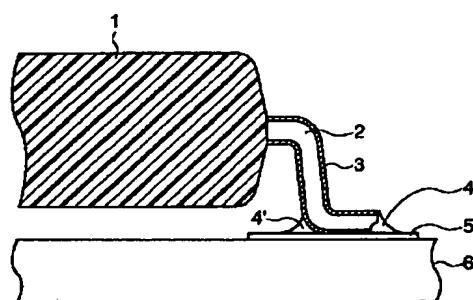
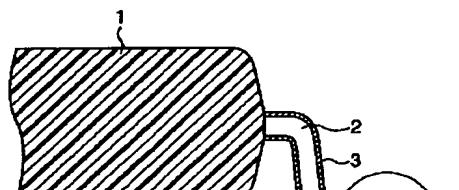
【図3】



【図20】

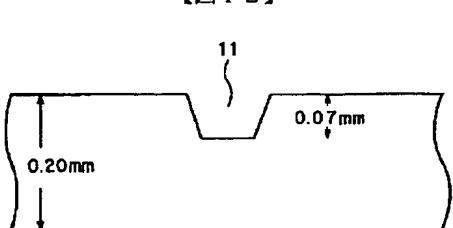
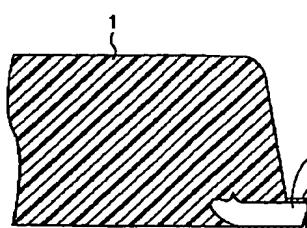


【図6】



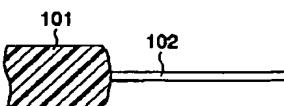
【図7】

【図8】

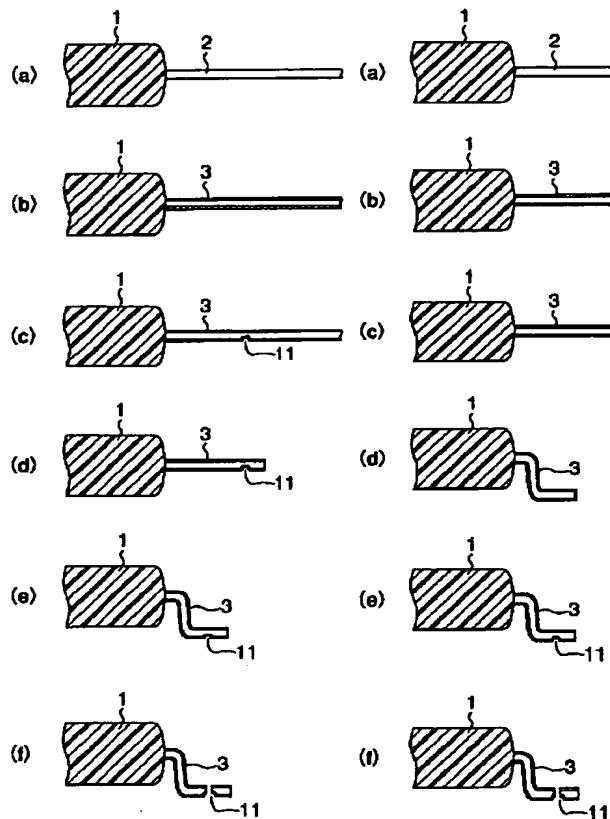


【図12】

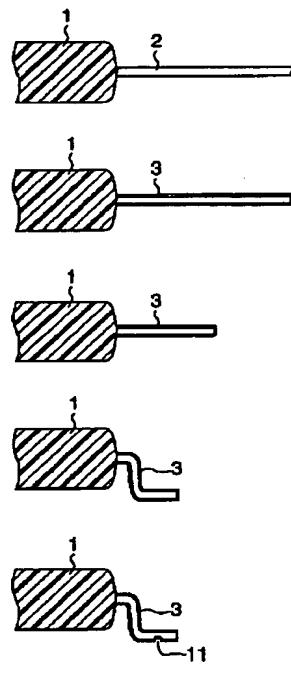
【図17】



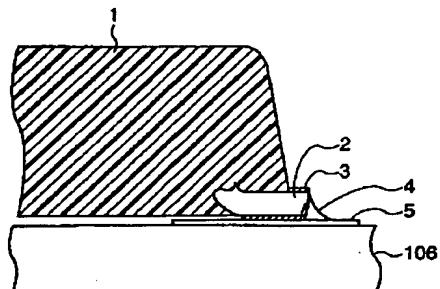
【図4】



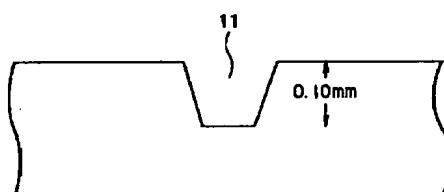
【図5】



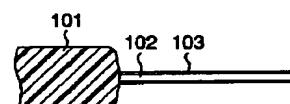
【図9】



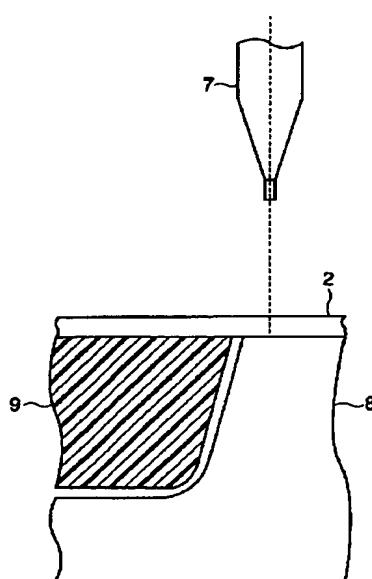
【図13】



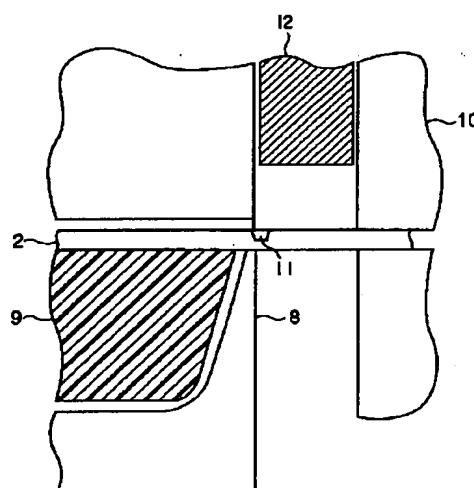
【図18】



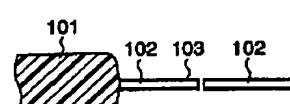
【図10】



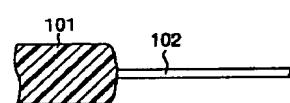
【図11】



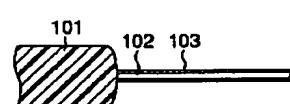
【図19】



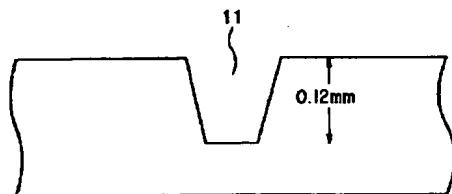
【図21】



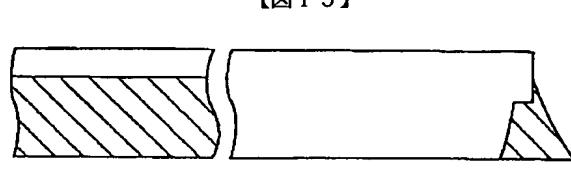
【図22】



【図14】

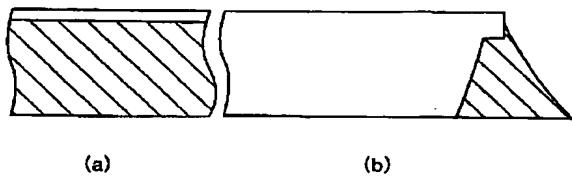


(a)



【図15】

【図16】



(b)

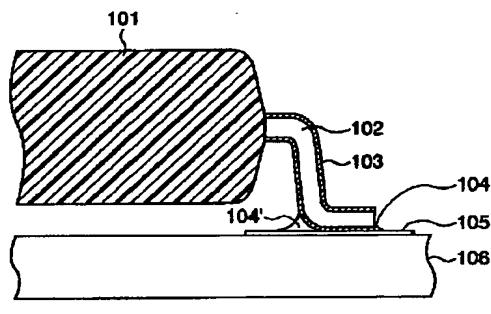
【図23】



【図24】



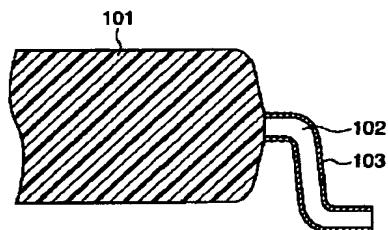
【図27】



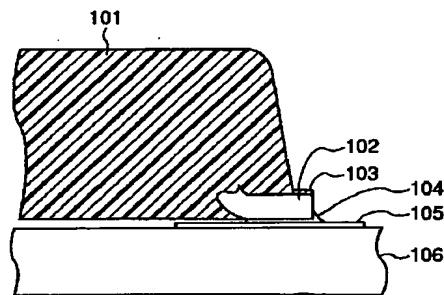
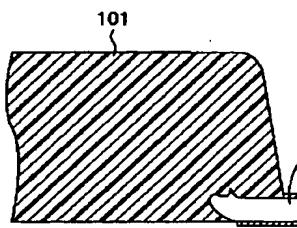
【図25】



【図26】



【図28】



【図29】